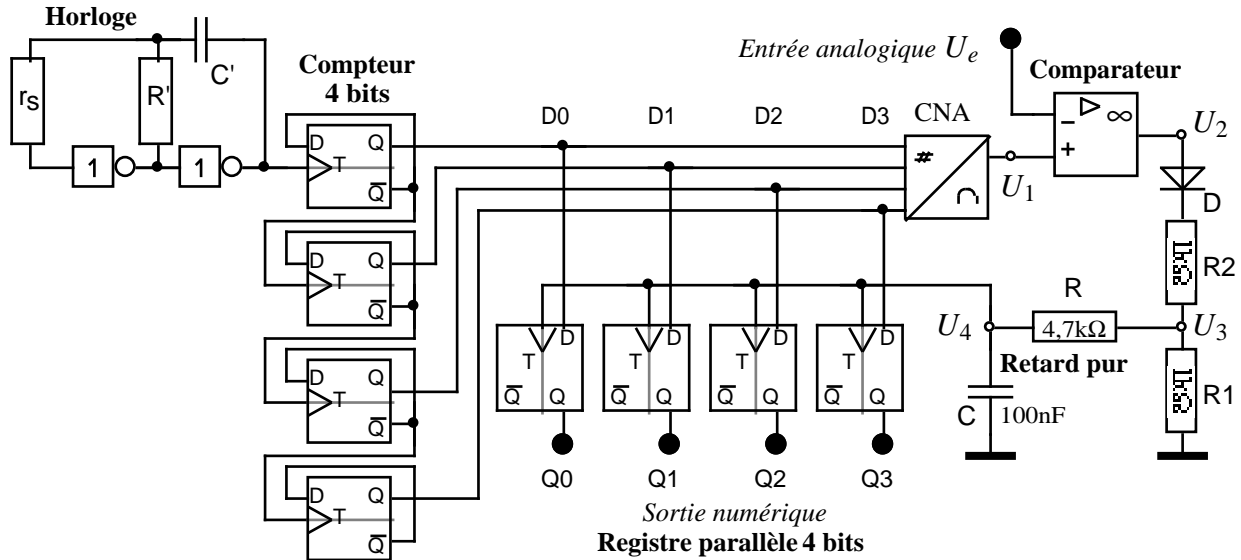


**B13-1 : CAN "simple rampe"**

On donne ci-dessous le schéma d'un convertisseur numérique analogique (CAN) 4 bits.



Données techniques :

- CNA unipolaire 4 bits : sortie analogique 0-10V
- A.Op.: tension sortie max. = ±11V; slewrate = 1V/μs.
- Diode D : tension de déchet  $V_D = 0,7V$
- Circuits logiques CMOS alimentés sous 5V. Seuil de basculement  $V_b = 2,5V$ .
- Bascules D déclenchées sur un front montant : 

D	Q
T	Q̄

T	D	$Q_{n+1}$
X	X	$Q_n$
┌	0	0
└	1	1
- Horloge : fréquence 10kHz (schéma voir A25-TD3 ;  $F = \frac{1}{2R'C' \ln 3}$ )
- $U_e$  : tension analogique d'entrée comprise entre 0 et 10V. Ici, on prendra  $U_e = 3,25 V$ .
- A l'instant  $t = 0^-$ , on suppose que  $Q_0 = Q_1 = Q_2 = Q_3 = 0$  ; le condensateur C est déchargé.

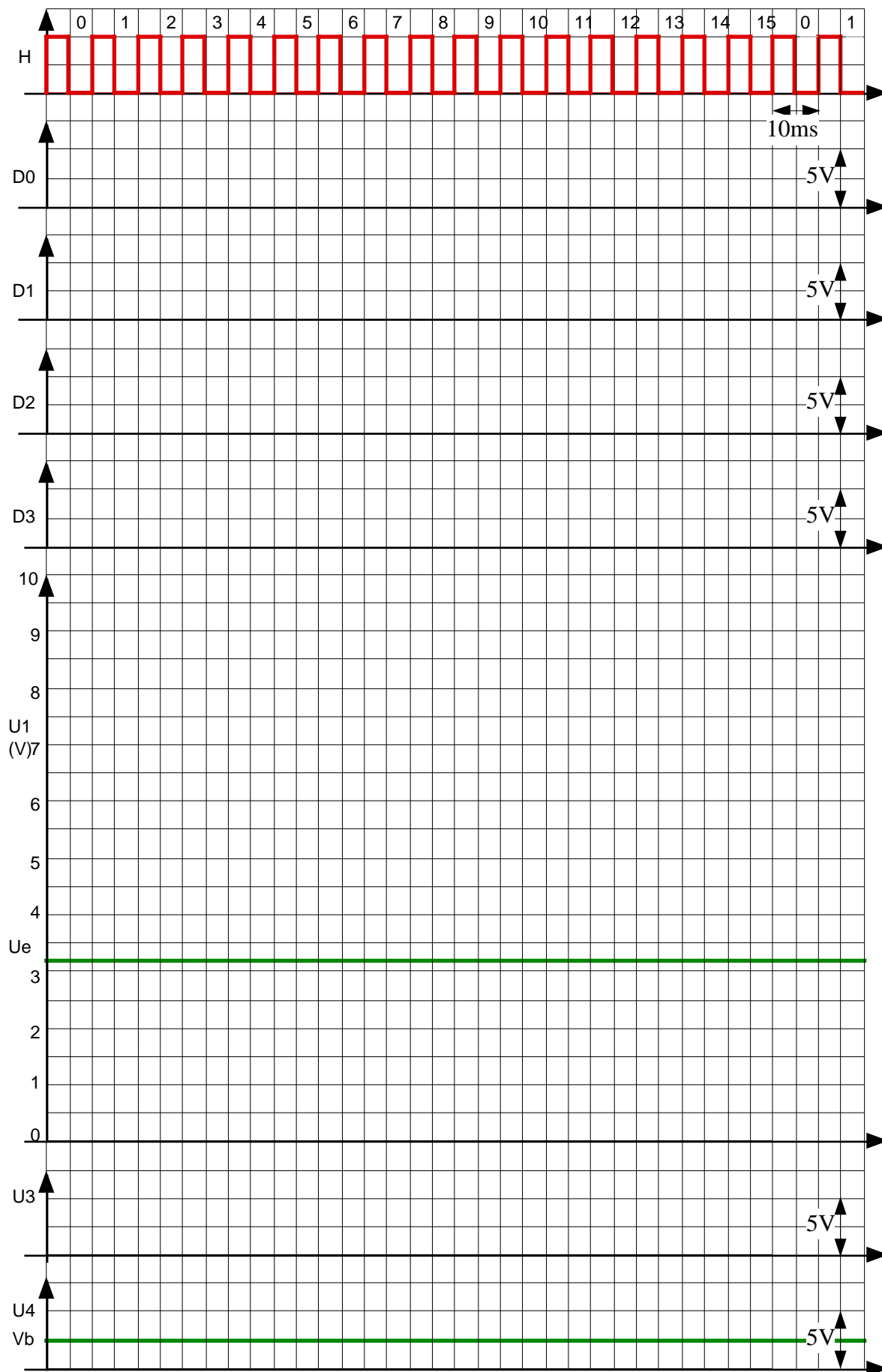
Travail demandé

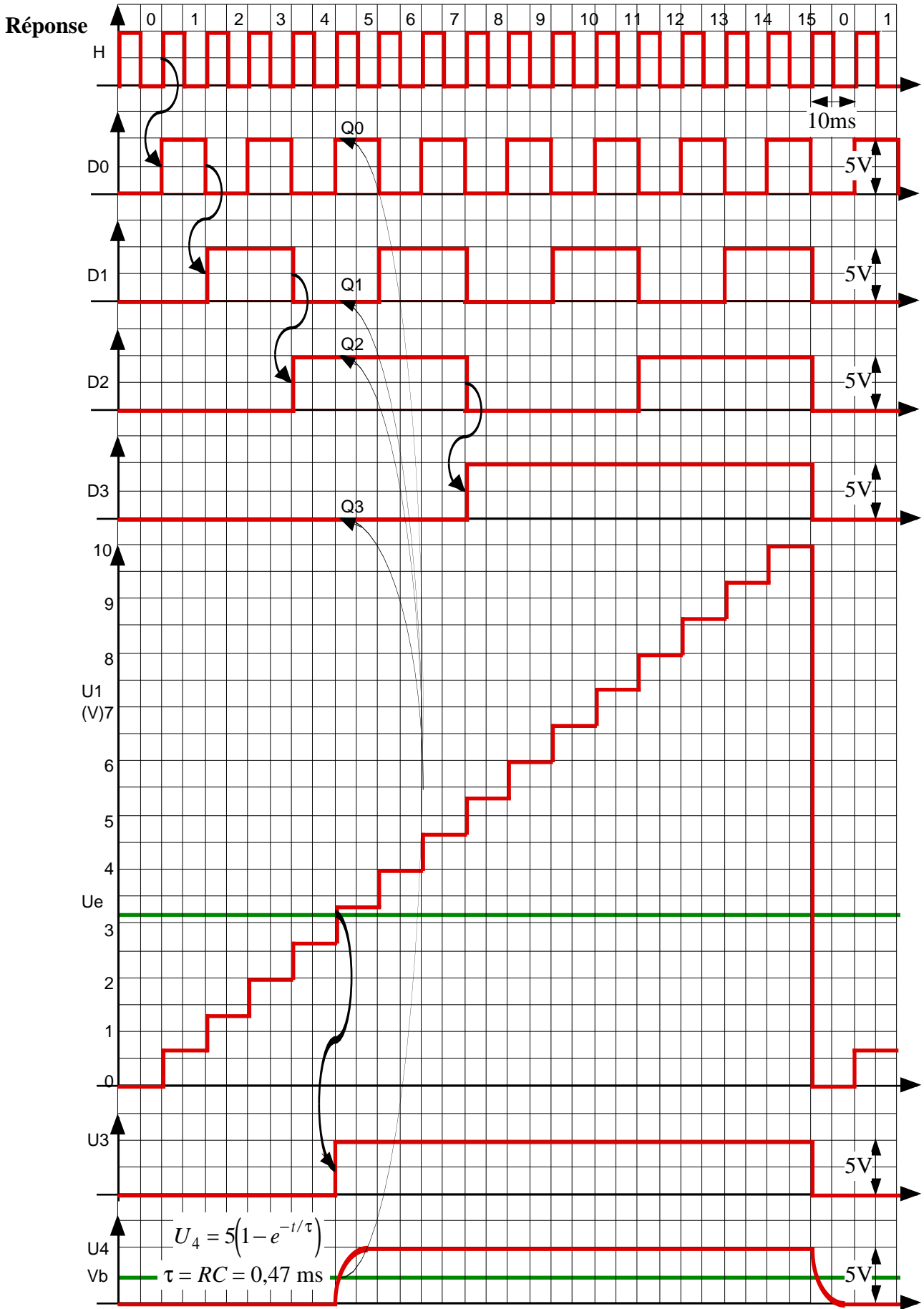
Pour  $0 \leq t \leq 1ms$ , représenter successivement et avec précision les signaux H,  $D_0, D_1, D_2, D_3, U_1, U_2, U_3, U_4, Q_0, Q_1, Q_2, Q_3$ .

NB : on établira puis on résoudra l'équation différentielle liant  $U_3(t)$  (assimilée à un échelon de tension) et  $U_4(t)$ , afin de tracer correctement  $U_4(t)$ .

Échelles :

- abscisses : 1cm ↔ 50μs
- ordonnées : H,  $D_0, D_1, D_2, D_3, U_2, Q_0, Q_1, Q_2, Q_3$  : 1cm ↔ 5V
- $U_1, U_3, U_4$  : 1cm ↔ 1V





## Fonctionnement du CAN :

Le CAN comprend une horloge (astable à portes NON) suivi d'un compteur binaire asynchrone constitué de quatre bascules D connectées en bascule T (= diviseur de fréquence par 2).

- 1) Sur un front montant de l'horloge, la première bascule change d'état ( $D_0$ ).
- 2) Lorsque la sortie Q d'une bascule passe de 1 au 0 logique (front descendant), sa sortie  $\bar{Q}$  passe de 0 au 1 logique (front montant), ce qui entraîne le changement d'état de la bascule suivante.

La sortie du compteur est reliée à un CNA 4 bits qui génère une rampe de tension  $U_1$  composée d'incrément de valeur  $q = \frac{PE}{2^n - 1} = \frac{10}{2^4 - 1} \approx 0,67$  V. Cette rampe est comparée (schéma A.Op d'un comparateur simple TOR) à la tension analogique d'entrée  $U_e$  que l'on veut convertir.

- 3) Tant que  $U_1 < U_e$ , l'A.Op est saturé à  $U_2 = -V_{sat}$ . Dès que  $U_1 > U_e$ , la sortie de l'A.Op vaut  $U_2 = +V_{sat}$ . La tension  $U_2$  possède donc un front montant lors de cette transition.

Les niveaux de tension de sortie de l'A.Op sont ramenés aux niveaux logiques 0-5V à l'aide de la diode D suivie d'un diviseur de tension par deux (résistances  $R_1, R_2$ ). On a donc :

$$U_3 = 0 \text{ si } U_2 = -11 \text{ V (D bloquée)}$$

- 4)  $U_3 = \frac{11 - 0,7}{2} \approx 5 \text{ V si } U_2 = +11 \text{ V (D passante)}$

Pour éviter tout aléa, un retard pur est introduit par le circuit RC pour produire  $U_4$ .

- 5) Sur un front montant de  $U_3$ ,  $U_4$  vaut :  $U_4 = 5(1 - e^{-t/\tau})$  avec  $\tau = RC = 0,47$  ms. La tension  $U_4$  atteint la tension de basculement logique  $V_b$  au bout d'un retard  $\theta$  qui vaut :

$$U_4 = V_b = 2,5 = 5(1 - e^{-\theta/\tau}) \Rightarrow \theta = \tau \ln 2 \approx 0,3 \text{ ms}$$

Le registre de sortie est un registre à chargement parallèle et sortie parallèle composé de quatre bascules D. Lorsque ces bascules reçoivent un front montant de  $U_4$  sur leurs entrées d'horloge, leurs sorties  $Q_0, Q_1, Q_2, Q_3$  recopient l'état à cet instant précis des entrées  $D_0, D_1, D_2, D_3$ .

- 6) Pour  $U_e = 3,25$  V, le basculement du comparateur se produit quand :

$$U_1 > 3,25 \text{ V} \Leftrightarrow \left\lfloor \frac{U_e}{q} \right\rfloor = \left\lfloor \frac{3,25}{0,67} \right\rfloor = \lceil 4,85 \rceil = 5, \text{ soit } Q_3 Q_2 Q_1 Q_0 = 0101 \text{ en binaire.}$$

( $\lfloor x \rfloor = x$  arrondi à l'entier supérieur)



Il s'agit ici d'un schéma simplifié. En particulier, l'état  $Q_3 Q_2 Q_1 Q_0 = 0000$  ne serait atteint en toute rigueur que si  $U_e < 0$  V.