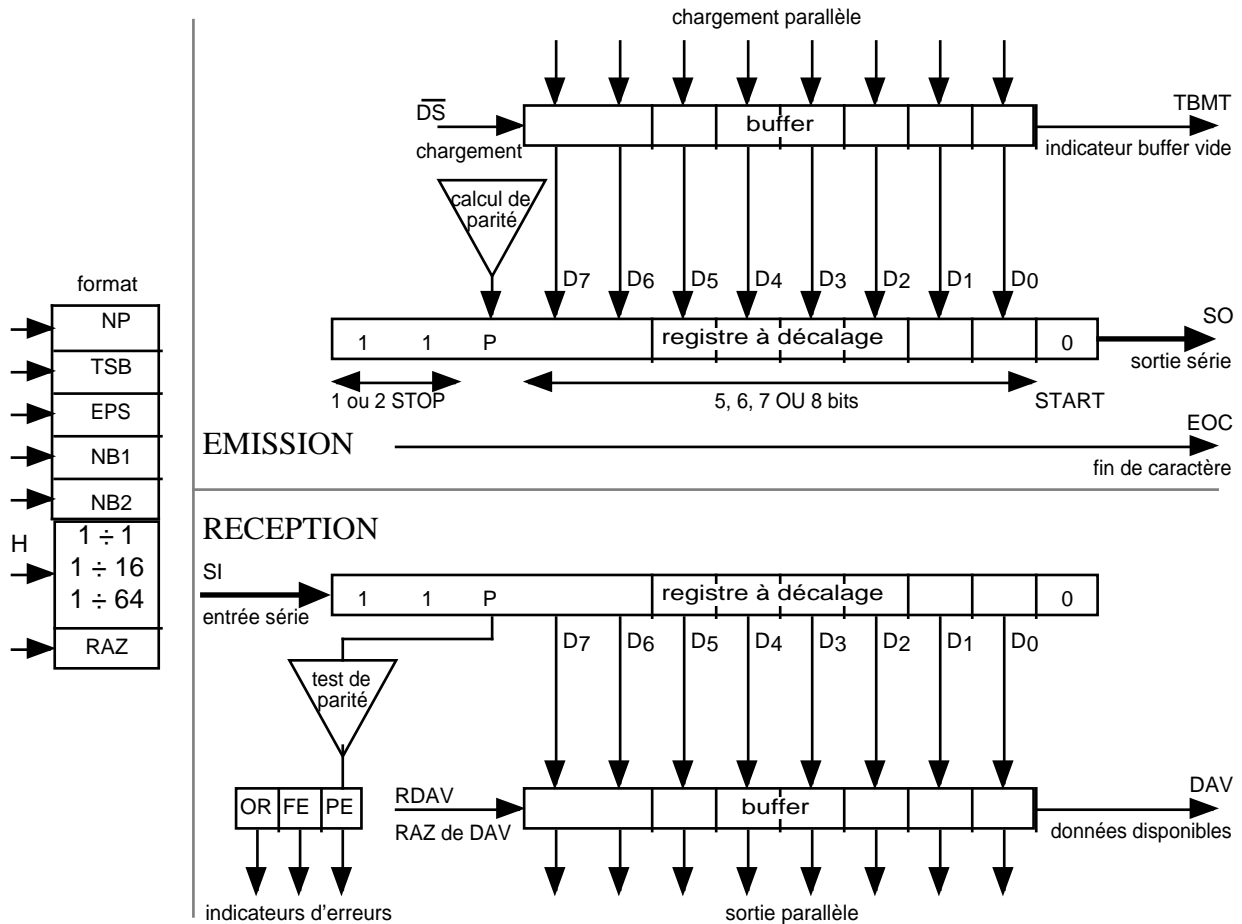


B34 - Modem

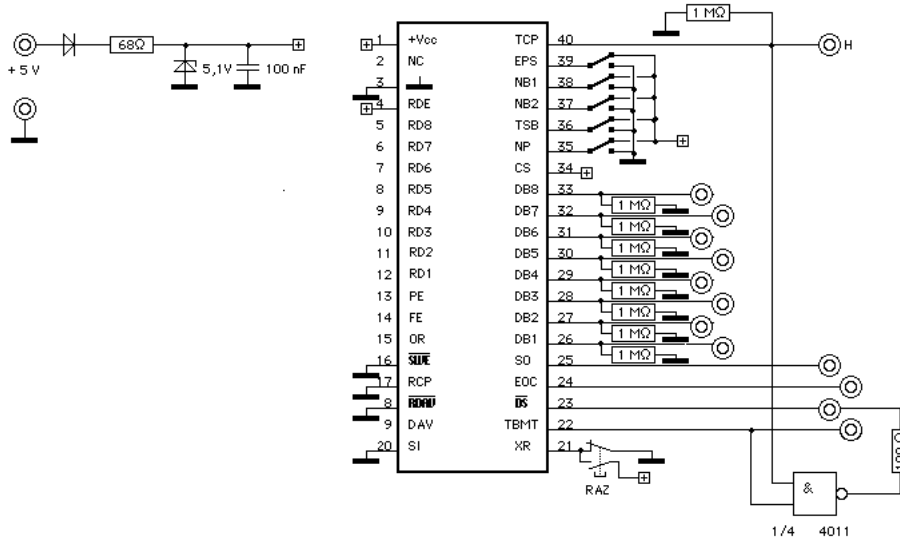
But : établir une liaison série entre une interface analogique et une carte à microprocesseur à l'aide d'un UART (Universal Asynchronous Receiver Transmitter).

On utilise un circuit CMOS HD-6402 (Intersil), anciennement AY-3-1015D (General Instrument), composé de deux sections séparées, l'une pour l'émission, l'autre pour la réception :



broche	Nom AY-3-1015D	Nom HD 6402	Entrée/Sortie	Emission/Réception	Rôle
1	Vcc	Vcc		E/R	+ 5V
2					Non connectée
3	GND	GND		E/R	Masse
4	RDE	RRD	E	R	"0" = autorise sortie des données (sinon RD8-RD1 en HZ)
5-12	RD8-RD1	RBR1-RBR8	S	R	sortie // des données reçues
13	PE	PE	S	R	erreur de parité
14	FE	FE	S	R	erreur de bit de stop
15	OR	OR	S	R	surcharge du récepteur (ligne DAV pas remise à zéro)
16	SWE	SFD	E	R	"0" = autorise sortie de PE, FE, OR, DAV, TBMT (sinon HZ)
17	RCP	RRC	E	R	Horloge récepteur
18	RDAV	DRR	E	R	"0" = RAZ de la ligne DAV
19	DAV	DR	S	R	"1" = caractère entier bien reçu
20	SI	RRI	E	R	Entrée série
21	XR	MR	E	E/R	"1" = RAZ : PE, FE, OR, DAV = "0"; SO, EOC, TBMT = "1"
22	TBMT	TBRE	S	E	"1" = émetteur peut recevoir un caractère
23	DS	TBRL	E	E	chargement des données sur front montant
24	EOC	TRE	S	E	"1" = fin de transmission
25	SO	TRO	S	E	Sortie série
26-33	DB1-DB8	TBR1-TBR8	E	E	Entrée // des données à émettre
34	CS	CRL	E	E	"1" = entrée de NP, TSB, NB2, NB1, EPS
35	NP	PI	E	E/R	"0" = parité / "1" = pas de parité
36	TSB	SBS	E	E/R	nb bits de stop
37	NB2	CSL2	E	E/R	nb bits transmis
38	NB1	CSL1	E	E/R	//
39	EPS	EPE	E	E/R	"0" = parité impaire / "1" = parité paire
40	TCP	TRC	E	E	Horloge émetteur

I- Conversion parallèle → série (émission)



On n'utilise que la partie EMISSION de l'UART. Le GBF fournit un signal d'horloge TTL (*Pulse*) de fréquence $F_H = 100\text{kHz}$. Si nécessaire, faire au démarrage une RAZ de l'UART à l'aide du bouton poussoir situé au centre de la maquette. On observe sur la voie A de l'oscilloscope le signal de sortie (SO) synchronisé par le signal EOC observé en voie B.

a) Soit NP = "1" (pas de parité).

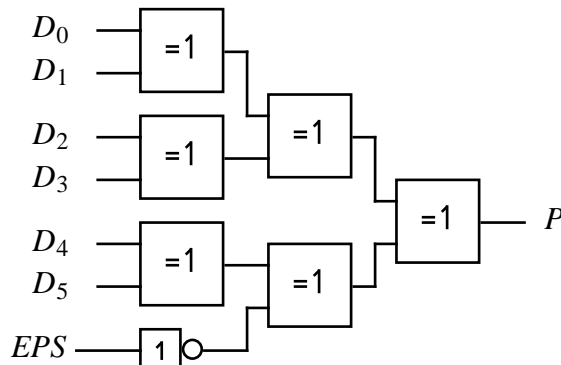
En agissant sur les commutateurs NB2, NB1 et TSB, remplir le tableau :

NB2	NB1	TSB	nb de bits transmis	nb de bits de STOP
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

b) Préciser la «justification» du mot, c'est-à-dire l'ordre d'émission (dans le mot, le premier bit émis est-il le bit de poids faible ou celui de poids fort ?)

c) Soit NP = "0" , EPS = 1. Choisir le format : 6 bits, parité paire, 1 STOP.

On donne ci-dessous le schéma du générateur de parité (encore appelé «arbre de parité») pour un mot de 6 bits. Ecrire l'équation booléenne $P(D_i, \text{EPS})$ définissant le bit de parité P en fonction des bits D_0, \dots, D_5 et EPS.




Remplir le tableau :

EPS	D0	D1	D2	D3	D4	D5	P	nb de "1" ds {D0,...,D5,P}
1	0	0	0	0	0	0		
1	0	0	1	0	0	0		
1	0	1	0	0	0	0		
1	0	1	1	0	0	0		
1	1	0	0	0	0	0		
1	1	0	1	0	0	0		
1	1	1	0	0	0	0		
1	1	1	1	0	0	0		

Définition : la **parité** est celle du nombre de "1" présents dans le caractère {*mot*, *P*} formé du mot transmis et du bit de parité lui-même.

Conclusions : - lorsque EPS = "1", la parité est-elle paire ou impaire ?
 - que se passe-t-il en cas d'erreur double ?

 *Utilité du bit de parité : un exemple :*

Soient 10 Mo transmis avec un probabilité d'erreur $p = 10^{-4}$ (1 erreur sur 10000 bits transmis).

La probabilité pour qu'un octet soit faux est : $P = 8p = 8.10^{-4}$.


Il y a donc (en moyenne) pour 10 Mo transmis : $10^7 . 8.10^{-4} = 8000$ octets faux

Si l'on tient compte du bit de parité, il y aura 9000 octets faux.

On montre que la probabilité d'erreur non détectable vaut environ (dans cet exemple) : $P = 3,6.10^{-7}$. Sur 10 Mo transmis ne subsistent plus que 3,6 erreurs en moyenne.

d) Quelle est la durée d'un bit exprimée en nombre de cycles d'horloge ? En déduire le rapport (*appelé rapport de division*) entre la vitesse de transmission v (exprimée en bauds – 1 baud = 1 bit/s) et la fréquence d'horloge F_H .

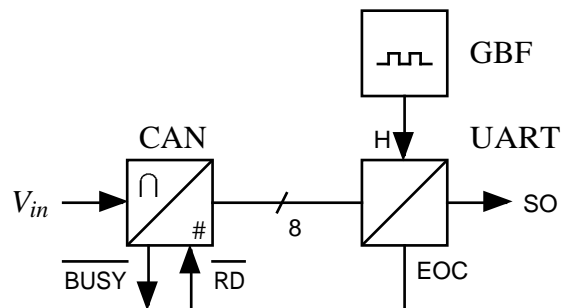
e) Soient $D_0, \dots, D_5 = 0$. Tracer le chronogramme des signaux SO, H, et EOC d'après leurs relevés à l'écran.

Axe des temps : origine : transition STOP  START ; unité : 1cm/cycle d'horloge

f) On couple l'UART au CAN (*cf TP B13*) selon le montage ci-contre. Soit $V_{in} = 0$ V.

- Compléter le chronogramme précédent avec les signaux \overline{RD} et \overline{BUSY} .

- Expliquer le processus de synchronisation des fonctionnements du CAN et de l'UART.



g) Quelle est la durée d'un bit exprimée en μs ? En déduire la durée de transmission d'un caractère. Celle-ci étant égale à la période d'échantillonnage T_e du signal, en déduire la fréquence d'échantillonnage $F_e = 1/T_e$.

II- Conversion série → parallèle (réception)

Structure du système MC09 : voir TP B11

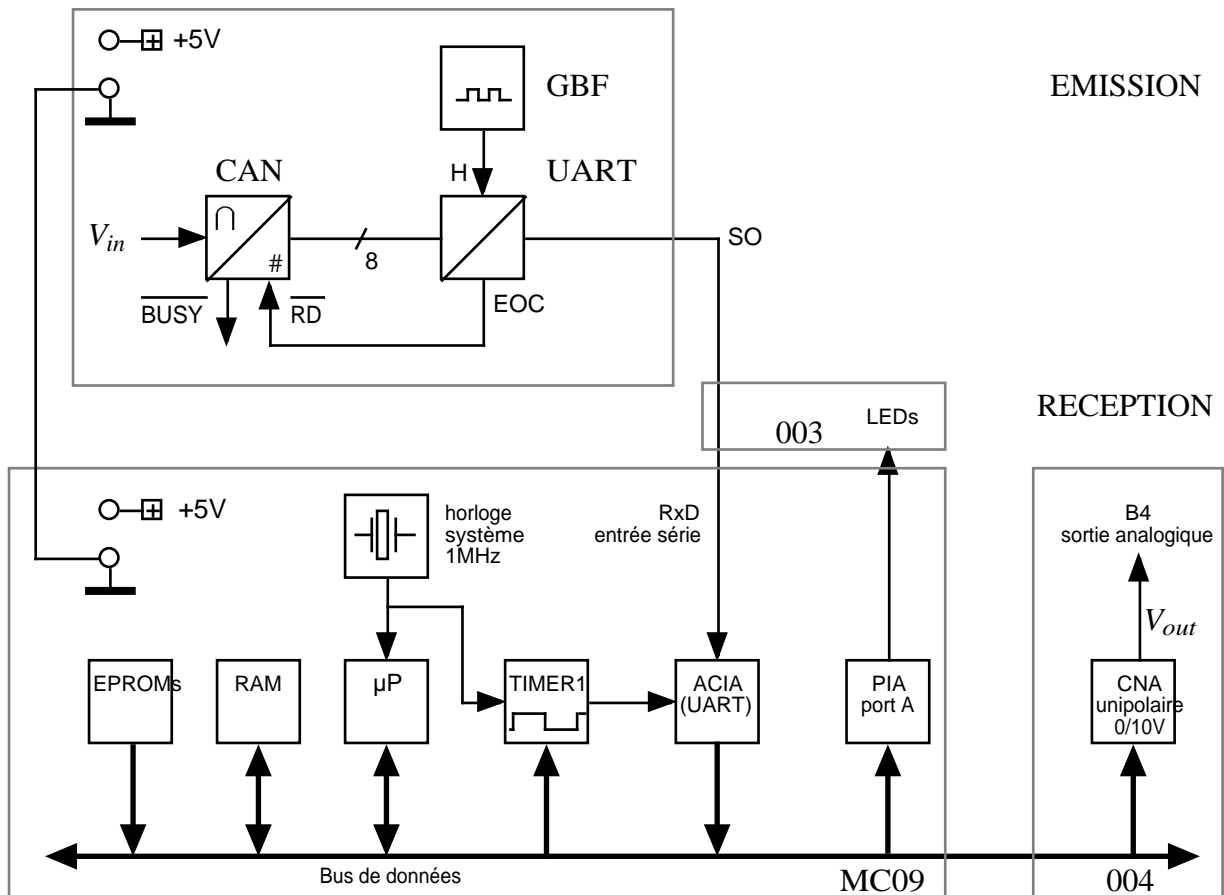
On utilise un kit MC09 comme récepteur, associé à la carte 004 (E/S analogiques par CAN/CNA 8 bits) et à la carte 003 (DELS vertes du PIA).

Relier la sortie série (SO) de l'UART émetteur (6402) à l'entrée série RxD de l'UART récepteur (ACIA 6850 sur MC09, douille située sur la carte 003).

Relier les masses émission et réception.

Dans un premier temps, on se limite au cas particulier où $V_{in} = 0V$.

Pour observer la tension analogique de sortie V_{out} , on branchera l'oscilloscope sur la sortie B4 de la carte d'E/S analogique (CNA 0/10V, carte 004).



On veut réaliser une liaison 1200 bauds, 8 bits, sans parité, 1 Stop, pour transmettre un signal analogique. Entrer le programme suivant (pour le moment, laisser les octets marqués ** à \$00) :

```

0000 86 **      rectst LDA  #%000***** mot de commande de l'ACIA (UART MC09)
0002 8E ****      LDX  #$***** nb cycles machine TIMER1 (horloge MC9)
0005 BD A8 C0     JSR  iuart  sous-prog initialisation de l'ACIA
0008 86 FF      LDA  #$FFF  Port A du PIA prog. en sortie
000A 10 8E 80 00 LDY  #rapiau adresse PIA utilisateur
000E BD A8 40     JSR  ipia  sous-prog initialisation du PIA
0011 BD A9 40     recacq JSR  recepl  sous-prog réception d'un caractère
0014 B7 95 00     STA  cna_un  octet reçu écrit ds le CNA (sortie B4)
0017 53          COMB
0018 F7 80 00     STB  rapiau  affichage bits d'erreurs (PE,OVRN,FE)
001B 7E 00 11     JMP  recacq  boucle

```

a) Programmation du format : se reporter à la documentation de l'UART ("ACIA" chez Motorola), registre de contrôle.

On veut : - 8 bits, sans parité, 1 stop
- rapport de division 1÷16

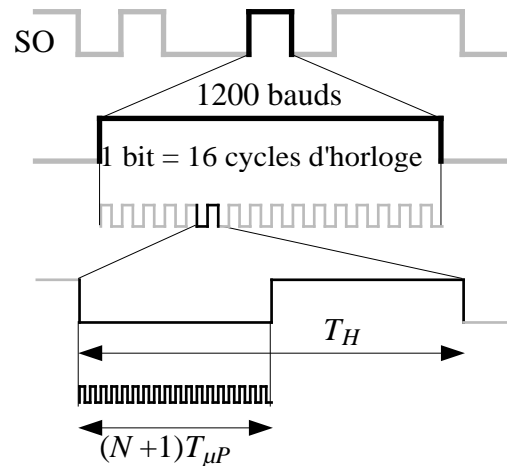
En déduire le mot de commande de l'ACIA en binaire puis en hexadécimal (adresse \$0001).

b) Programmation de la vitesse de transmission :

- régler la valeur de la fréquence d'horloge F_H de l'émetteur (GBF)
- programmer le TIMER1 en inscrivant aux adresses \$0003 et \$0004 en hexadécimal (poids fort adresse \$0003, poids faible adresse \$0004) le nb de cycles machine N .

Pour cela, calculer successivement :

- la durée d'un bit, sachant que : $\nu = 1200$ bauds
- T_H (TIMER1 = horloge UART) connaissant le rapport de division ($1 \div 16$)
- N (nb de cycles machines) sachant que : $T_{\mu P} = 1 \mu s$
- valeur hexadécimale de N , sur 2 octets



c) Lancer le programme de réception d'abord, lancer l'émission ensuite.

Les erreurs de réception sont affichées par trois DELs vertes (*cf doc. ACIA, registre d'état*) :

- b_4 : erreur de format (FE)
- b_5 : récepteur en surcharge (OVRN)
- b_6 : erreur de parité (PE)

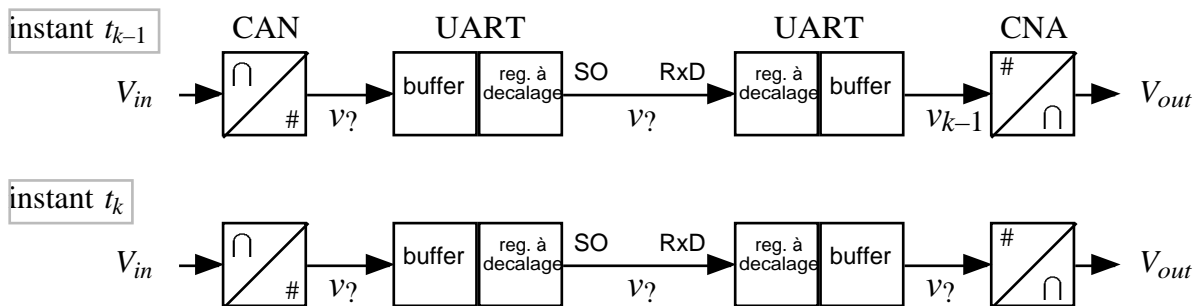
Quelle est l'erreur indiquée par le mot d'état du récepteur ?

Entre quelles valeurs la fréquence F_H de l'horloge émetteur peut-elle varier tout en assurant un fonctionnement correct de la liaison ? En déduire l'erreur relative $\frac{\Delta F_H}{F_H}$ (%) permise.

d) Introduire à l'émission un bit de parité. Reprogrammer convenablement le récepteur pour en tenir compte. Puis réaliser intentionnellement une erreur de parité. Conclusion.

e) On considère des échantillons successifs v_{k-1} (transmis en premier), v_k, v_{k+1}, \dots

Compléter le synoptique suivant en précisant l'emplacement des échantillons v_k, v_{k+1}, v_{k+2} (on néglige le temps de transfert dans le μP) :



f) Choisir maintenant pour V_{in} une tension sinusoïdale 0/10V de fréquence ≤ 40 Hz (utiliser un second GBF, sortie analogique avec *offset*). Observer V_{out} .

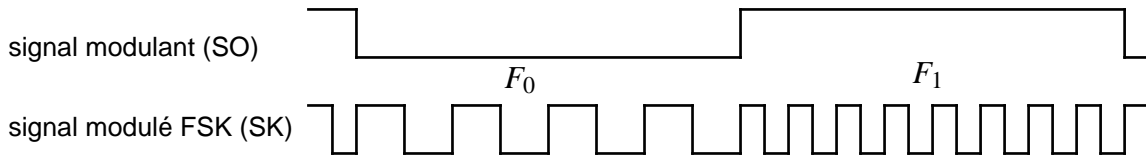
Mesurer le décalage temporel Δt qui sépare le signal V_{out} du signal V_{in} . Méthode : mesure du déphasage à l'oscilloscope, dont on déduit : $\Delta t = \frac{\Delta \phi}{\omega} = \frac{\Delta \phi}{2\pi f}$.

g) Si l'on veut respecter le théorème de Shannon, quelle est la plus grande fréquence analogique F_{max} qu'il est possible de transmettre par cette liaison ?

h) Reprogrammer convenablement le TIMER1 et l'UART pour obtenir une vitesse de transmission maximale. Observer le signal obtenu. Préciser les valeurs de $N, F_H, \nu, F_e, F_{max}$.

III- MODEM : MODulateur / DEModuleur FSK

FSK : Frequency shift keying : modulation de fréquence par tout-ou-rien : par exemple,
 - un niveau logique "0" est représenté par 4 cycles (fréquence F_0)
 - un niveau logique "1" par 8 cycles (fréquence $F_1 = 2F_0$)

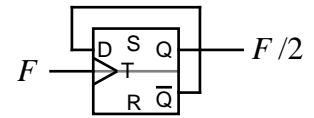


1- Modulateur

a) On revient au montage du paragraphe I (UART émission utilisé seul), avec : rapport 1÷16 ; $v = 9600$ bauds ; SO au format 8 bits, sans parité, 1 stop. Calculer F_1 et F_0 .

Comment obtenir 2 signaux S_1 et S_0 de fréquence F_0 et F_1 à partir du signal d'horloge délivré par le GBF, de fréquence F_H ?

Rappel : une bascule D connectée en bascule T permet de diviser la fréquence d'un signal par 2.



b) Trouver l'équation booléenne $SK = f(SO, S_0, S_1)$ pour obtenir :

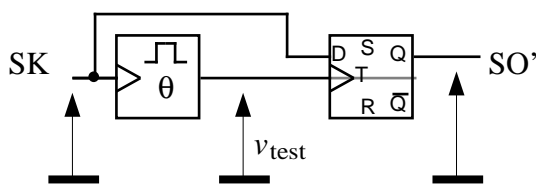
- Si SO = "0" alors SK = S_0
- Si SO = "1" alors SK = S_1

Quel est le nom de la fonction booléenne ainsi réalisée ?

c) Dessiner le schéma du modulateur en employant uniquement des bascules D et des portes NAND.

2- Démodulateur

Le démodulateur convertit le signal modulé SK en un signal SO' identique à SO. Pour *discriminer* les deux fréquences de SK, on associe à une bascule D un monostable déclenché sur un front descendant dont l'impulsion a une durée θ :



Soient $T_1 = \frac{1}{F_1}$ et $T_0 = \frac{1}{F_0}$.

On choisit :

$$\frac{T_1}{2} < \theta < \frac{T_0}{2} \Rightarrow \theta \approx \frac{\frac{T_1}{2} + \frac{T_0}{2}}{2}$$

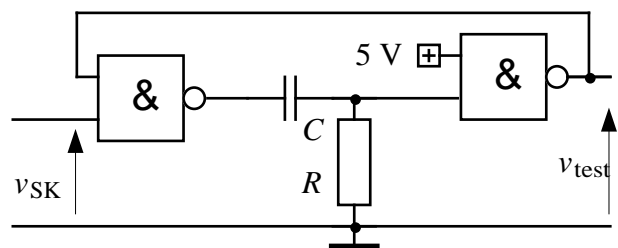
a) Calculer θ .

b) Brancher sur l'entrée du démodulateur un GBF délivrant un signal TTL de fréquences F_1 puis F_0 . Tracer dans chaque cas le chronogramme des signaux SK, V_{test} , SO'.

c) Expliquer le fonctionnement du montage sachant que la bascule mémorise la donnée présente en D sur un front montant de l'entrée d'horloge T..

d) Compléter le montage du paragraphe II en insérant dans la liaison le modulateur et le démodulateur. Vérifier son fonctionnement.

(schéma du monostable)



Commentaires

I- Conversion parallèle → série (émission)

a)

NB2	NB1	TSB	nb bits transmis
0	0	0	5
0	0	1	5
0	1	0	6
0	1	1	6
1	0	0	7
1	0	1	7
1	1	0	8
1	1	1	8

b) 1er bit transmis : D_0 (bit de poids faible)

c) $P = D_0 \oplus D_1 \oplus \dots \oplus D_5 \oplus \overline{EPS}$

EPS	D0	D1	D2	D3	D4	D5	P	nb de "1" ds {D0,...,D5,P} (parité paire)
1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	2
1	0	1	0	0	0	0	1	2
1	0	1	1	0	0	0	0	2
1	1	0	0	0	0	0	1	2
1	1	0	1	0	0	0	0	2
1	1	1	0	0	0	0	0	2
1	1	1	1	0	0	0	1	4



Une erreur double n'est pas détectée.

d) Un bit = 16 cycles d'horloge ("rapport 1:16") $\Rightarrow v = \frac{F_H}{16}$

g) Fréquence d'horloge : $F_H = 100 \text{ kHz}$ $T_H = 10 \mu\text{s}$

Vitesse de transmission : $v = \frac{F_H}{16} = 6250 \text{ bauds}$ $T_{caract} = 160 \mu\text{s}$

Fréquence d'échantillonnage : $F_e = \frac{v}{10} = 625 \text{ ech/s}$ $T_e = 1600 \mu\text{s}$

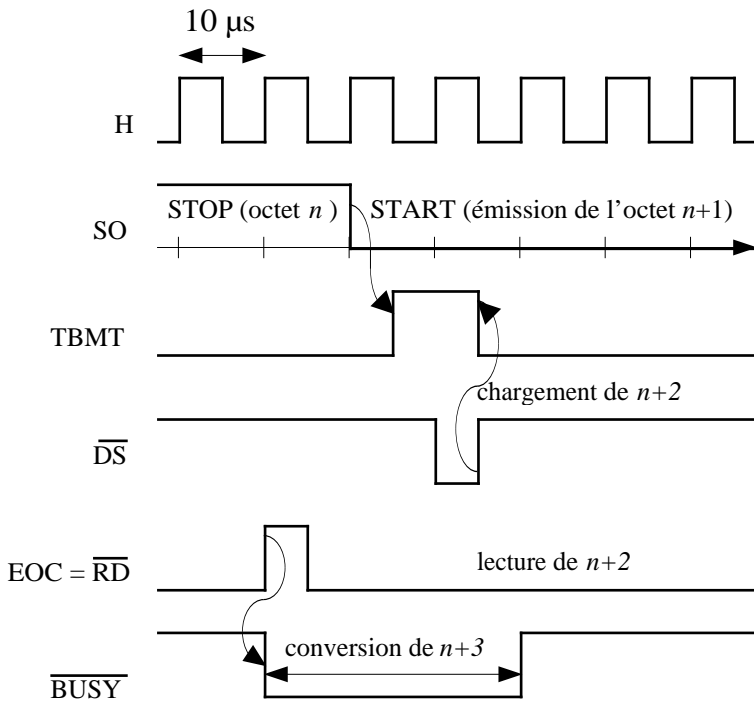
(si format = 1 START + 8 bits + 1 STOP = 10 bits)

Fréquence de Shannon : $F_{\max} = \frac{F_e}{2} = 312,5 \text{ Hz}$ $T_{\min} = 3200 \mu\text{s}$

e) et f) Voir page suivante. *Se reporter en page 1 pour le rôle des signaux TBMT et \overline{DS} .**Figure 1 : processus de synchronisation élémentaire.*

Figure 2 : processus de synchronisation amélioré : le processus de synchronisation représenté figure 1 a toutefois un inconvénient : on remarque en effet que le chargement du buffer d'entrée de l'UART (sur le front montant de \overline{DS}) s'effectue à partir d'une lecture du registre de sortie du CAN (quand $\overline{RD} = 0$) alors que la conversion de l'échantillon suivant peut ne pas être terminée (\overline{BUSY} toujours à 0) si le temps de conversion du CAN est trop élevé. On peut remédier à cela en améliorant la synchronisation du fonctionnement du CAN et de l'UART comme indiqué page suivante.

Figure 1



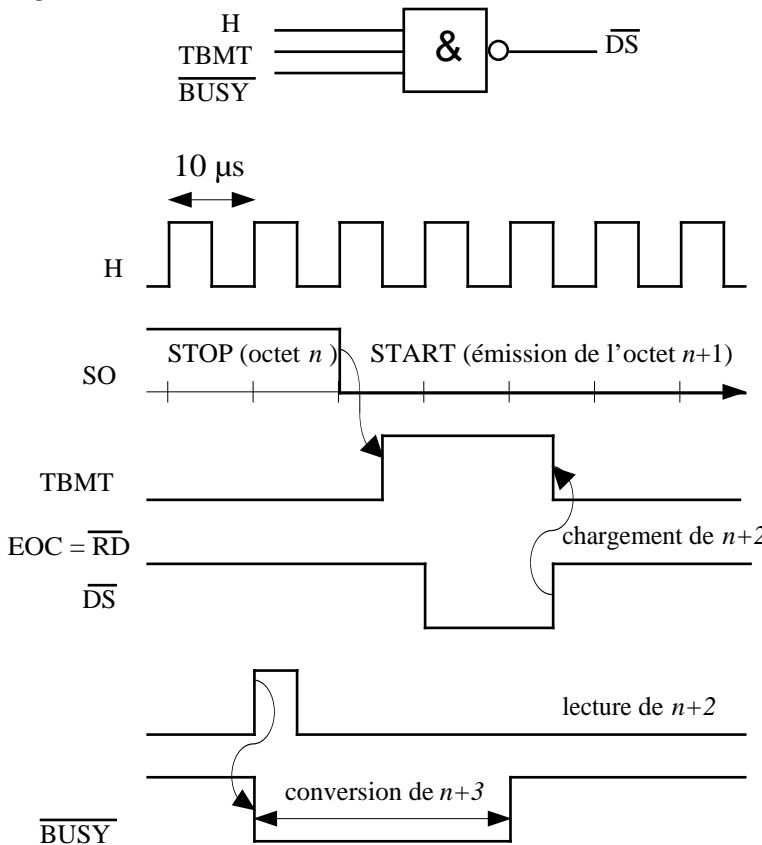
Le signal d'horloge et le signal de sortie SO définissent un axe des temps. L'origine de l'axe est la transition STOP-START entre l'octet émis n et l'octet $n+1$. L'unité est égale à une période d'horloge ($F_H = 100 \text{ kHz} \Rightarrow T_H := 10 \mu\text{s}$).

L'octet $n+1$ qui était sauvegardé dans le registre tampon (*buffer*) pendant l'émission de l'octet n est transféré dans le registre à décalage pour être émis à son tour \Rightarrow l'indicateur TBMT passe à 1.

Sachant que $\overline{DS} = \overline{TBMT.H}$ (porte NON-ET), le registre tampon est immédiatement rechargé sur un front montant de \overline{DS} avec le prochain octet ($n+2$) qui sera émis \Rightarrow TBMT repasse à 0.

Cet octet $n+2$ est lu dans le registre de sortie du CAN par le signal de fin de caractère EOC, qui est aussi le signal \overline{RD} de contrôle du CAN ($EOC = 0$). Auparavant, le front montant de EOC a déclenché une nouvelle conversion qui produira un octet $n+3$.

Figure 2



L'inconvénient du processus précédent est que la lecture de l'octet $n+2$ risque de se produire alors que le CAN est encore en train d'exécuter une conversion (ce qui est le cas dans le chronogramme précédent), ce qui risque d'entraîner des résultats imprévisibles (cf doc. CAN AD7574). Pour éviter cela, on bloque le chargement du buffer tant qu'une conversion est en cours, à l'aide d'une porte NAND à 3 entrées.

Sachant que $\overline{DS} = \overline{TBMT.H.BUSY}$ (NON-ET), le registre tampon est rechargé sur un front montant de \overline{DS} avec le prochain octet ($n+2$) qui sera émis, à condition que le CAN ait terminé la conversion en cours (de l'octet $n+3$) \Rightarrow TBMT repasse alors à 0.

II- Conversion série → parallèle (réception)

a) UART (ACIA) : CR = \$15 = %00010101

b) • Réglage de l'horloge (GBF) de l'émetteur :

$$v = 1200 \text{ bauds} \Rightarrow F_H = 16 \times 1200 = 19200 \text{ Hz}$$

• Réglage du timer du récepteur :

$$\text{- durée d'un bit} = \frac{1}{1200} \approx 833 \mu\text{s}$$

$$\text{- période d'horloge du récepteur : } T_H = \frac{1}{19200} \text{ ou encore } T_H = \frac{833}{16} \approx 52 \mu\text{s}$$

$$\text{- programmation du timer : } N = \frac{T_H}{2} - 1 = 25 \mu\text{s} = \$0019$$

c) $\frac{\Delta F_H}{F_H} = \pm 5\%$.

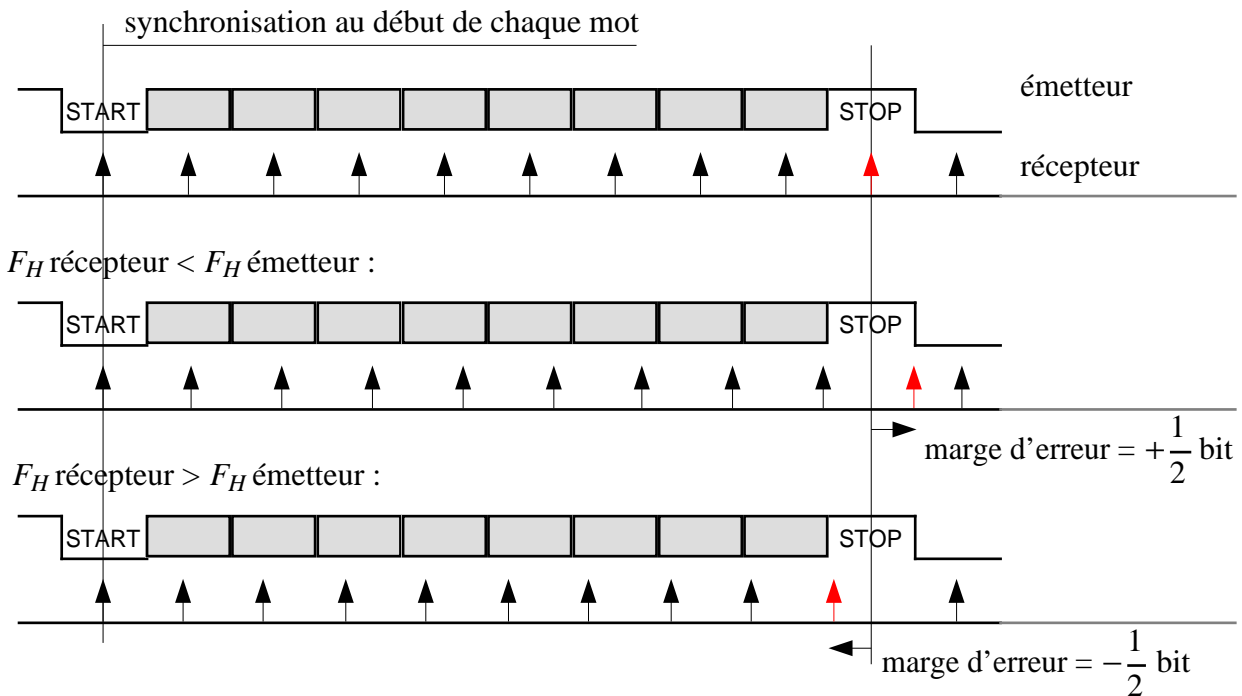
Justification : le récepteur se synchronise à chaque mot reçu à partir de la transition STOP/START puis scrute la valeur d'un bit en son milieu, soit après 8 cycles de son horloge interne. Donc :

- si l'horloge récepteur est trop lente, un retard d'un demi-bit au plus est acceptable pour une lecture correcte du bit de fin (STOP).

- inversement, si l'horloge récepteur est trop rapide, une avance d'un demi-bit au plus est possible

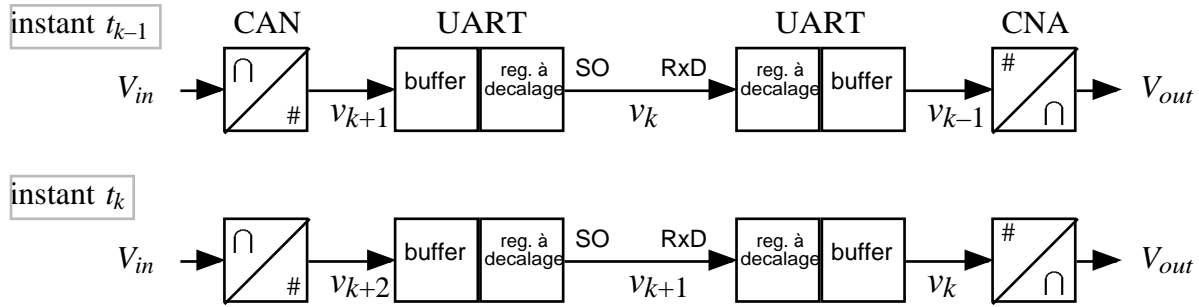
- \Rightarrow pour un format 1 START + 8 bits + 1 STOP, soit 10 bits, l'erreur absolue permise est de $\pm 1/2$

bit en durée, soit $\frac{\Delta F_H}{F_H} = \frac{\Delta T_H}{T_H} = \pm \frac{1/2}{10} = \pm 5\%$.



d) UART (ACIA) : CR = \$19 = %00011001

e)



g) Fréquence d'horloge :

$$F_H = 19200 \text{ Hz}$$

$$T_H = 52 \mu\text{s}$$

Vitesse de transmission :

$$v = \frac{F_H}{16} = 1200 \text{ bauds}$$

$$T_{\text{caract}} = 833 \mu\text{s}$$

Fréquence d'échantillonnage :

$$F_e = \frac{v}{10} = 120 \text{ ech/s}$$

$$T_e = 8,33 \text{ ms}$$

(si format = 1 START + 8 bits + 1 STOP = 10 bits)

Fréquence de Shannon :

$$F_{\text{max}} = \frac{F_e}{2} = 60 \text{ Hz}$$

$$T_{\text{min}} = 16,7 \text{ ms}$$

h) Par exemple, programmation du timer avec : $N = 1 \mu\text{s} = \$0001$. Il vient :

Fréquence d'horloge :

$$F_H = 250 \text{ kHz}$$

$$T_H = 4 \mu\text{s}$$

Vitesse de transmission :

$$v = \frac{F_H}{16} = 15625 \text{ bauds}$$

$$T_{\text{caract}} = 64 \mu\text{s}$$

Fréquence d'échantillonnage :

$$F_e = \frac{v}{10} = 1562,5 \text{ ech/s}$$

$$T_e = 640 \mu\text{s}$$

(si format = 1 START + 8 bits + 1 STOP = 10 bits)

Fréquence de Shannon :

$$F_{\text{max}} = \frac{F_e}{2} = 781 \text{ Hz}$$

$$T_{\text{min}} = 1,28 \text{ ms}$$

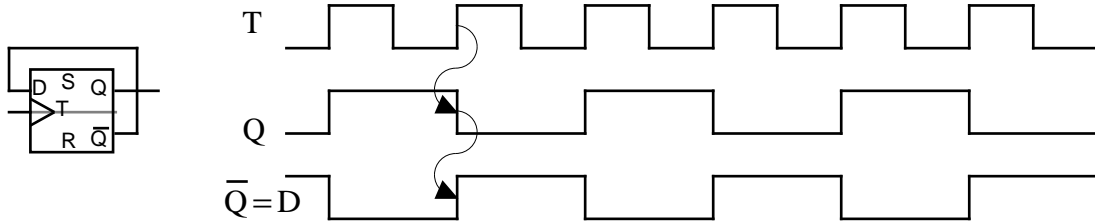
III- MODEM : MODulateur / DEModuleur FSK

1- Modulateur

a) $v = 9600$ bauds $\Rightarrow F_H = 16 \times 9600 = 153600$ Hz

$\Rightarrow F_1 = F/2 = 76800$ Hz et $F_0 = F_1/2 = 38400$ Hz

Rappel (division de fréquence par 2 par une bascule D) : la bascule change d'état à chaque front montant de l'horloge.



b) Table de vérité du multiplexeur d'après la condition : $SK = S_0$ si $SO = \emptyset$; $SK = S_1$ si $SO = 1$:

SO	S1	So	SK
\emptyset	\emptyset	\emptyset	\emptyset
\emptyset	\emptyset	1	1
\emptyset	1	\emptyset	\emptyset
\emptyset	1	1	1
1	\emptyset	\emptyset	\emptyset
1	\emptyset	1	\emptyset
1	1	\emptyset	1
1	1	1	1

Tableau de Karnaugh :

SO \ S1So	$\emptyset\emptyset$	$\emptyset 1$	11	1 \emptyset
\emptyset	\emptyset	1	1	\emptyset
1	\emptyset	\emptyset	1	1

Equation booléenne :

$$SK = S_0 \cdot \overline{SO} + S_1 \cdot SO$$

Schéma :

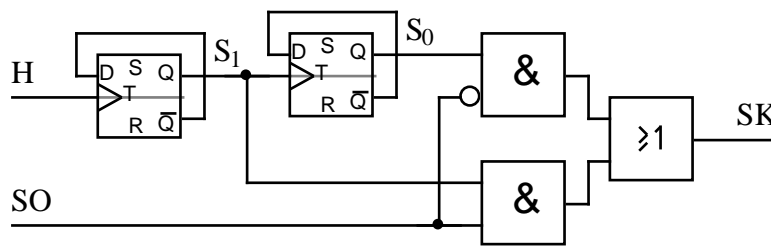
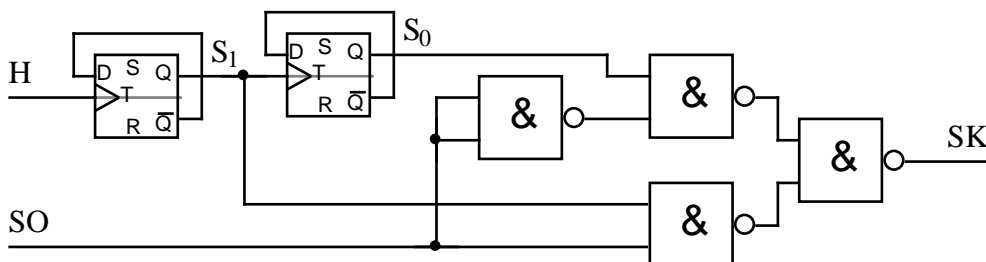
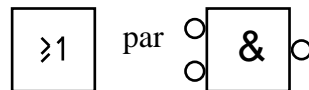


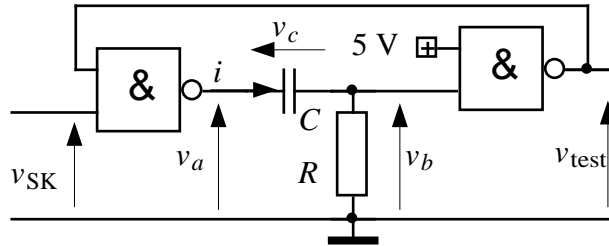
Schéma avec des portes NAND : d'après la relation $a + b = \overline{\overline{a} \cdot \overline{b}}$ (De Morgan) on remplace :



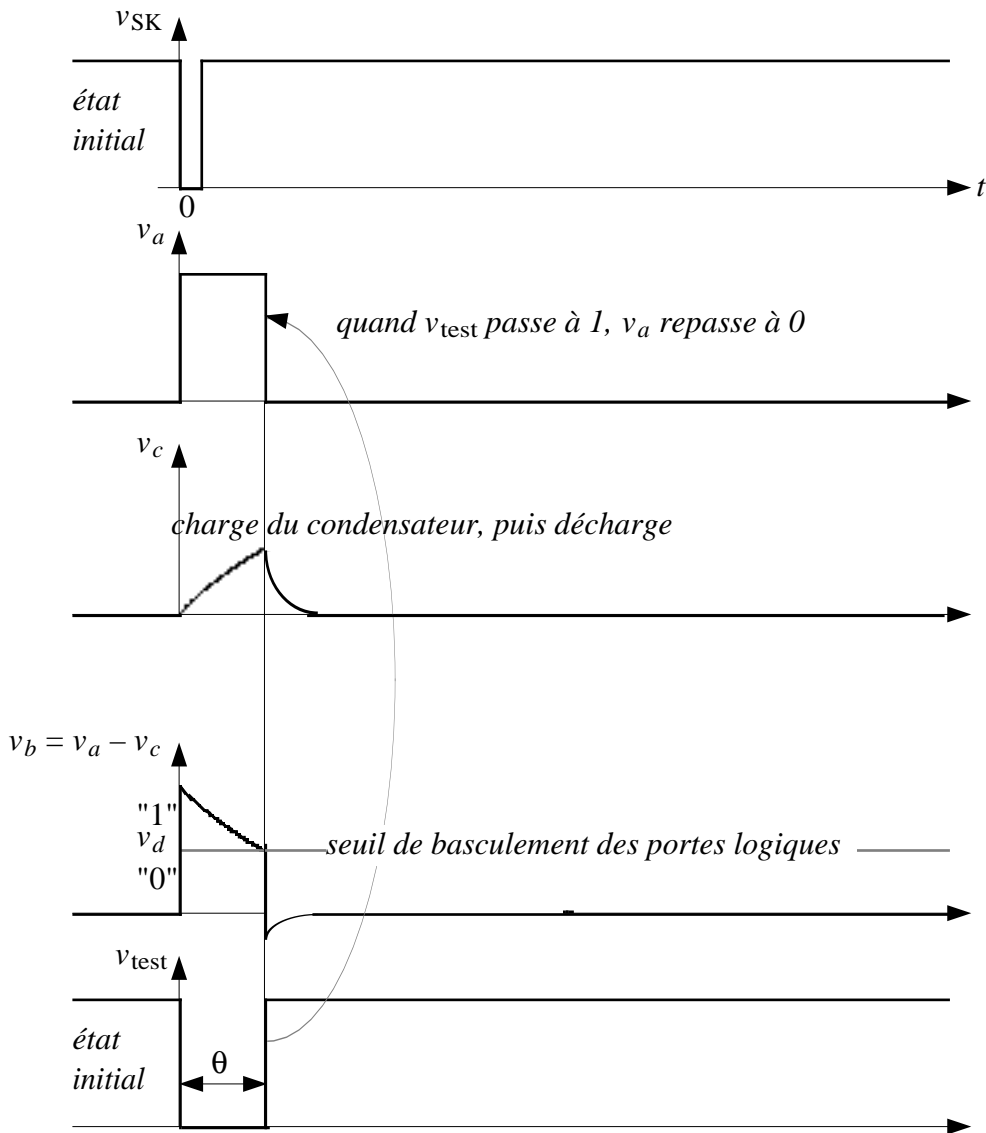
2- Démodulateur

a) $\theta = \frac{\frac{1}{2F_1} + \frac{1}{2F_0}}{2} \approx 9,8 \mu s$

b) *Rappel* : fonctionnement du monostable (voir TP A23) :



- État initial : circuit RC au repos : $i = 0 \Rightarrow v_b = Ri = 0 \Rightarrow v_{test} = 5 \text{ V}$
- condensateur déchargé : $v_c = 0 \Rightarrow v_a = v_c + v_b = 0 \Leftrightarrow v_{SK} = 5 \text{ V}$
- Fonctionnement :



- conclusion : monostable déclenchable sur un front descendant

- application au démodulateur :

